

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

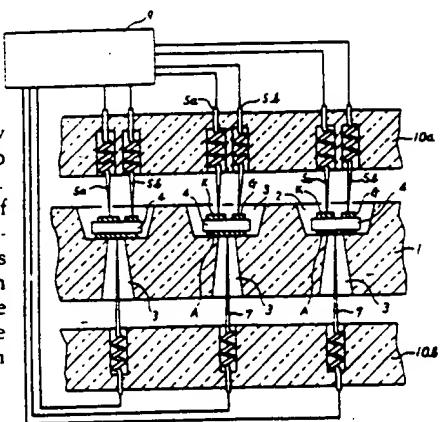
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) ELECTRIC CHARACTERISTIC MEASURING DEVICE FOR SEMICONDUCTOR CHIP

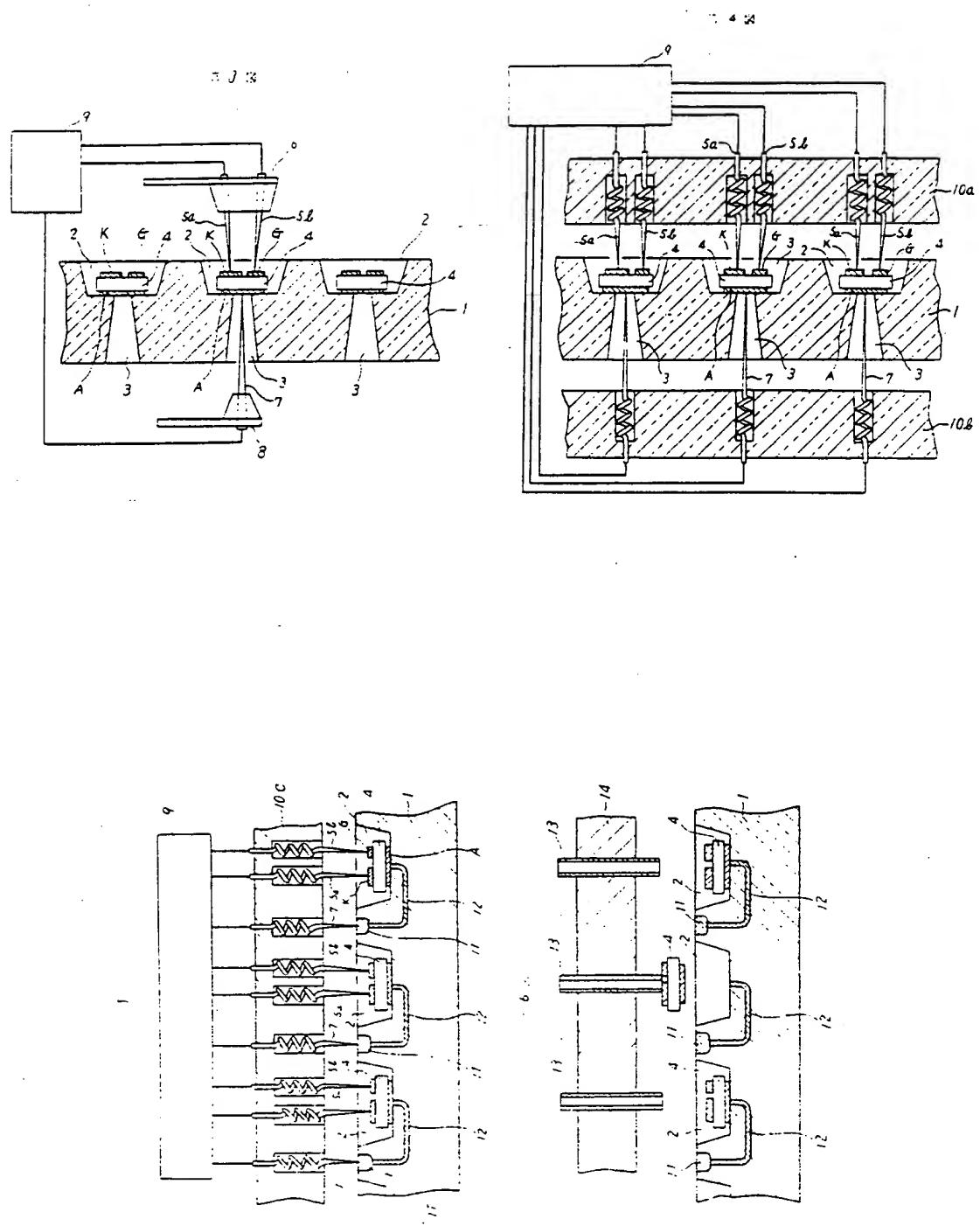
(11) Kokai No. 54-146581 (43) 11.15.1979 (19) JP
(21) Appl. No. 53-55134 (22) 5.9.1978
(71) MITSUBISHI DENKI K.K. (72) TOSHIYUKI FUJII
(52) JPC: 99(5)C6
(51) Int. Cl³. H01L21/66, G01R31/26

PURPOSE: To ensure a quick measurement of the characteristics of each chip by providing the measuring needle which features a simultaneous pressure contact to each electrode and the semiconductor chip inserted into the pocket of the container.

CONSTITUTION: A pressure contact is decured for measuring needle 5a and 5b of measurement plate 10a to cathode K and gate G of each semiconductor chip 4 within each pocket 2 of insulating substance 1. At the same time, a pressure contact is given between measuring needle 7 of measurement plate 10b and anode A through the pierced hole of substance 1. Then the connection between each measuring needle and measuring instrument 9 is switched in sequence with every chip 4 to measure the electric characteristics. With this method, the intermittent feeding mechanism can be omitted, thus ensuring a quick measurement.



特開昭54-146531 (J)



ト(2)内の各半導体チップ(4)のカソード電極とゲート電極Gと共にそれぞれ第1の測定子板(10a)のカソード測定針(5a)とゲート測定針(5b)とを加圧接觸させるとともに、各半導体チップ(4)のアノード電極Aにそれぞれ第2の測定子板(10b)のアノード測定針(7)を絶縁体(1)の各貫通孔(3)内を通して加圧接觸させる。しかるのち、各半導体チップ(4)に加圧接觸されたアノード測定針(7)、カソード測定針(5a)、およびゲート測定針(5b)と測定器(9)との接続を各半導体チップ(4)毎に順次切り換えることによつて各半導体チップ(4)の電気的特性が測定される。

このように、この実施例の電気的特性測定装置では、絶縁体(1)の間欠送り搬帶を取ける必要がないので、第2の測定板(10b)のアノード測定針(7)を通し得る貫通孔(3)の孔径を小さくすることができるため、外径寸法の小さい半導体チップでもその電気的特性を容易に測定することができる。また、各半導体チップ(4)に接続された測定針(5a)、(5b)、(7)と測定器(9)との接続を各半導体チップ(4)

(7)

試出面に向時に加圧接觸するアノード測定針(7)とが取り付けられた第3の測定子板である。

絶縁体(1)の各ボケット(2)内に挿入された半導体チップ(4)の電気的特性を測定する場合には、この半導体チップ收容器と第3の測定子板(10c)とを対向させ、絶縁体(1)に設けられた各測定端子H、各ボケット(2)内の半導体チップ(4)のカソード電極K、およびゲート電極Gにそれぞれ第3の測定子板(10c)のアノード測定針(7)、カソード測定針(5a)、およびゲート測定針(5b)を加圧接觸させる。しかるのち、各半導体チップ(4)にアノード測定針(7)、カソード測定針(5a)、およびゲート測定針(5b)と測定器(9)との接続を切り換えることによつて各半導体チップ(4)の電気的特性が測定される。

この実施例の電気的特性測定装置では、各ボケット(2)の裏面に貫通孔を設ける必要がないので、第4回の実施例より外形寸法の一を小さく半導体チップでもその電気的特性を容易に測定することができる。また、第4回に説明した第3の測定子板(10c)が不要となるので、第4回の構造による

毎に順次切り換えてそれぞれの電気的特性を測定することができるので、間欠送りに要する時間が必要でなく、測定時間の短縮を図ることができ。例えば、 $20 \times 20 = 400$ 個のポケットを有する半導体チップ收容器のそれぞれのポケットに挿入された半導体チップの電気的特性を全数測定するのに従来例の装置では15分必要であつたのに対し、2分以内にできるように短縮することができた。

第5回はこの発明の他の実施例の構成とその動作機構とを説明するためにその長部を示す断面図である。

図において、Hは絶縁体(1)の各ボケット(2)の相互間の表面に露出面を有するように埋設された測定端子、D2は絶縁体(1)に埋設され一方の端部が各ボケット(2)の底面に露出し他方の端部が各測定端子Hに接続された電気的導電性のよい導体、(10c)は各ボケット(2)内に挿入された半導体チップ(4)に同時にそれぞれのカソード電極Kおよびゲート電極Gに同時にそれぞれ加圧接觸するカソード測定針(5a)およびゲート測定針(5b)と各測定端子Hの

(8)

の構造を簡略化することができる。また、第4回に説明した実施例と同様に、測定時間の短縮を図ることができるることは言うまでもない。

次に、上記実施例の装置によつて半導体チップの良品と不良品とが選別されその不良品を除去する方法について第6回に長部を示す断面図で説明する。

図において、Hは真空装置に真空バルブ(省略せず)を介して接続され、この真空バルブの開放によって絶縁体(1)のボケット(2)内から半導体チップ(4)を吸引する真空チャック、D4は絶縁体(1)の各ボケット(2)と対応する部位に真空チャックHを固定する真空チャック固定板である。

絶縁体(1)の各ボケット(2)内の半導体チップ(4)の不良品のHを除去する場合には、まず、上述の各半導体チップ(4)が測定時に、その測定結果よりもございて、半導体チップ(4)の良、不良の情報をその位置とその記憶装置に記憶させる。そして、絶縁体(1)の各ボケット(2)上に各真空チャックHが位置するようには各チャック固定板D4を取り付け

特開昭54-146581(1)

を測定するので、従来例のように、上記半導体チップ収容器の間欠送り搬出をかける必要がな。このため、上記半導体チップの電気的特性の測定時間を短縮することができるとともに、外尺寸の小さい半導体チップでもその電気的特性を容易に測定することができる。

4. 装置の構造を説明

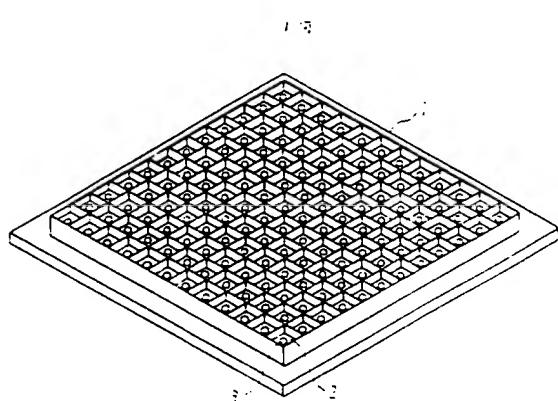
第1図は従来のメサ形サイリスタの半導体チップ収容器の一例を示す斜視図、第2図は上記半導体チップ収容器の要部を示す断面図、第3図は上記半導体チップ収容器に収容された半導体チップの電気的特性を測定する従来の測定装置の動作機構を説明するための要部を示す断面図、第4図はこの発明の半導体チップの電気的特性測定装置の一実施例の構成とその動作機構を説明するための要部を示す断面図、第5図はこの発明の他の実施例の構成とその動作機構を説明するための要部を示す断面図、第6図は上記実施例の装置によつて選別された半導体チップの不良品を除去する方法を説明するための要部を示す断面図である。

01

図において、(1)は絶縁体、(2)はポケット、(3)は貫通孔、(4)は半導体チップ、(5a)、(5b)、(7)はそれぞれ測定針、(6)はR.O.測定子、(8)はA.測定子、(9)は測定器、(10a)、(10b)、および(10c)はそれぞれ第1、第2、および第3の測定子板、(11)は測定端子、(12)は導体、(13)は真空チップ、(14)は真空チップ固定板である。

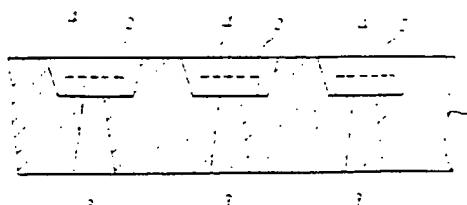
なお、図中同一符号はそれぞれ同一もしくは相当部分を示す。

02



代理人　葛野信一(外二名)

7-2-8



19日本国特許庁(JP)

11 特許出願公開

12 公開特許公報 (A)

昭54-146581

51Int. Cl.
H 01 L 21 66
G 01 R 31 26

識別記号 52 日本分類
99(s) C 6

庁内整理番号 43 公開 昭和54年(1979)11月15日
6851-5F
7807-2G
発明の数 1
審査請求 未請求

(全 5 頁)

59 半導体チップの電気的特性測定装置

電機株式会社北伊丹製作所内

70出願人 三菱電機株式会社

東京都千代田区丸の内二丁目2
番3号

71代理人 弁理士 葛野信一 外1名

22特願 昭53-55134
22出願 昭53(1978)5月9日

22発明者 藤井利之
伊丹市瑞原4丁目1番地 三菱

明 暗 種

1. 発明の名称

半導体チップの電気的特性測定装置

2. 特許請求の範囲

(1) 主面に複数個の電極を有する半導体チップが挿入される複数個のポケットを絶縁体の表面に整列させて設けた半導体チップ収容器、上記各ポケットに挿入された半導体チップに向時にかつそれぞれの各電極に同時にそれぞれ加圧接觸する測定針が取り付けられた測定子板、および上記各半導体チップとのそれぞれの各電極に加圧接觸する測定針への接続を切り替えて上記半導体チップの電気的特性を測定する測定器を備えた半導体チップの電気的特性測定装置。

3. 発明の詳細な説明

この発明は半導体チップ収容器に収容された複数の半導体チップの電気的特性を測定する半導体チップの電気的特性測定装置の改良に関するものである。

一般的に、セミコンダクタ等の半導体チップ

においては、複数個の半導体チップが形成された半導体ウエーハの状態で上記各半導体チップの電気的特性を精密に測定することができないので、上記半導体ウエーハを個々の半導体チップに分割し、分割された個々の半導体チップをプラスチックなどの電気的絶縁物からなる半導体チップ収容器に収容して個々の半導体チップの電気的諸特性を測定し、それぞれの測定結果にもとづいて良品と不良品とに選別している。

第1図は従来のメサ形サイリスタの半導体チップ収容器の一例を示す斜視図、第2図は上記従来例の要部を示す断面図である。

第1図は、(1)はメサ形サイリスタの半導体チップ収容器を構成する絶縁体である。(2)は絶縁体(1)の表面部とその底面および横方向にそれぞれ複数個設けられたメサ形サイリスタの半導体チップが挿入されたポケット、(3)はポケット(2)の底面に設けられた絶縁体(1)を貫通する貫通孔、第2図を断面で示す4はメサ形サイリスタの半導体チップである。

次に、複数個の各ポケット(2)に挿入された半

特開昭54-146581(2)

各ポケット(2)に挿入された半導体チップ(4)の電気的特性を測定し、それぞれの測定結果とともに良品と不良品とを差別することができる。

図において、(5a)および(5b)はそれぞれポケット(2)内の半導体チップ(4)のカソード電極Aおよびゲート電極Gに加圧接觸するカソード測定針およびゲート測定針、(6)はカソード測定針(5a)およびゲート測定針(5b)が固定され上下運動可能なカソード・ゲート測定子(以下「K-G測定子」と呼ぶ)、(7)はポケット(2)内の半導体チップ(4)のアノード電極Aに貫通孔(3)を通して加圧接觸するアノード測定針、(8)はアノード測定針(7)が固定され上下運動可能なアノード測定子(以下「A測定子」と呼ぶ)、(9)はカソード測定針(5a)、ゲート測定針(5b)、およびアノード測定針(7)にそれぞれ接続され半導体チップ(4)の電気的特性を測定する測定器である。なお、絶縁体(1)はK-G測定子(6)とA測定子(8)との中间部に介在し前後左右に各ポケット(2)の相互間の距離づつ間欠送りができるようになっている。

このような動作機構を有する測定装置によつて

(3)

わずかな振動でも、半導体チップ(4)の端が貫通孔(3)内に巻き込み逆立ちになり測定そのものが不可能になつたりする。そこで、これを防止するためには、貫通孔(3)の孔径を小さくするとともに、測定装置全体の機械的精度をより一層高くする必要があり、必ずしも容あてなきつた。更に、上位の半導体チップ(4)の電気的特性の測定時間が0.2秒で、絶縁体(1)の間欠送り時間が2秒であるとすれば、400個の半導体チップ(4)を測定するに要する時間が10分もかかるので、測定実験の実験所力を大きくすることも、必ずしも容易ではないといふ點點もつた。

この発明は、上述の問題点に當りてさされたもので、各ポケット(2)内に挿入された各半導体チップ(4)に同時にそれのかかせの測定子板にて正確測定する測定者が取引でそれを測定子板を使用することによって、上記半導体チップ(4)の貫通孔(3)に巻き込み、貫通孔(3)の孔径が過度に大きてもその電気的特性を容易に測定することができますことによって測定時間を短縮することができる半導

(4)

体チップの電気特性測定装置を提供することを目的とする。

第4発明との発明の半導体チップの電気的特性測定装置の一実施例の構成とその動作機構とを説明するための断面図である。

図において、(10a)は絶縁体(1)の各ポケット(2)内に挿入された半導体チップ(4)と同時にそれのカソード電極Aおよびゲート電極Gとそれそれカソード測定針(5a)およびゲート測定針(5b)が同時に介在できるように絶縁所に取り付けられた第1の測定子板、(10b)は絶縁体(1)の各ポケット(2)内に挿入された半導体チップ(4)と同時にそれのアノード電極Aに各ポケット(2)の底面に設けられた貫通孔(3)を通してそれアノード測定針(7)が介在できるように絶縁所に取り付けられた第2の測定子板である。

絶縁体(1)の各ポケット(2)が内に挿入された半導体チップ(4)の電気的特性を測定する場合には、半導体チップ(4)をはさんで第1の測定子板(10a)と第2の測定子板(10b)とを対向させ、絶縁体(1)の各ポケット